

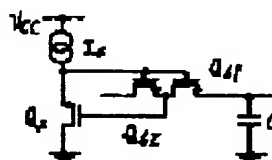
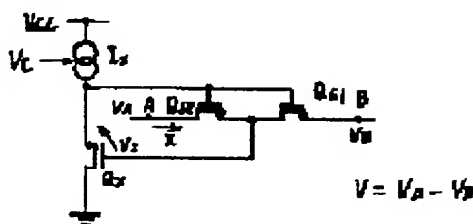
## RESISTANCE CIRCUIT AND FILTER CIRCUIT USING THE SAME

Patent number: JP6224691  
Publication date: 1994-08-12  
Inventor: KANEKO KENJI; TAKAGI KATSUAKI; MATSUURA TATSUJI; HAGIWARA YOSHIMUNE  
Applicant: HITACHI LTD  
Classification:  
- international: **H03H7/06; H03H11/04; H03L7/107; H03H7/01; H03H11/04; H03L7/08; (IPC1-7): H03H11/04; H03H7/06; H03L7/107**  
- european:  
Application number: JP19930273377 19931101  
Priority number(s): JP19930273377 19931101

[Report a data error here](#)

### Abstract of JP6224691

**PURPOSE:**To vary the resistance value on an integrated circuit by a voltage and to use it to automatically vary the time constant of a filter circuit. **CONSTITUTION:**This resistance circuit is provided with a constant current source  $I_x$  controlled by a voltage, a voltage generating circuit which generates a voltage proportional to the current of the constant current circuit by first and second terminals of a three-terminal element, a three-terminal element operated as a MOS diode, and a circuit where three-terminal elements operated in a constant current are connected in series, and the voltage of the voltage generating circuit is supplied to the series connection circuit to vary the impedance at both ends of the series connection circuit. Thus, a large resistance value is obtained in a small element area.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-224691

(43) 公開日 平成6年(1994) 8月12日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 11/04	K	8628-5 J		
	C	8628-5 J		
7/06		8321-5 J		
H 0 3 L 7/107				
		9182-5 J		
			H 0 3 L 7/ 10	C
			審査請求 有	発明の数 1 O L (全 11 頁)

(21) 出願番号 特願平5-273377  
(62) 分割の表示 特願昭59-21768の分割  
(22) 出願日 昭和59年(1984) 2月10日

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 金子 憲二  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内  
(72) 発明者 高木 克明  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内  
(72) 発明者 松浦 達治  
東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内  
(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 抵抗回路及びそれを用いたフィルタ回路

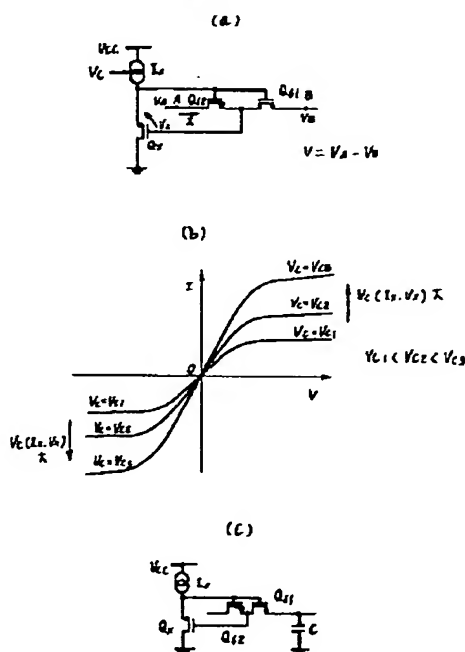
(57) 【要約】

【目的】 集積回路上に電圧によって抵抗値を可変することとこれを用いてフィルタ回路の時定数を自動的に可変することにある。

【構成】 電圧で制御される定電流源と、上記定電流回路の電流に比例した電圧を3端子素子の第1と第2の端子で発生する電圧発生回路と、MOSダイオードとして動作する3端子素子と、定電流動作する3端子素子を直列に接続してなる回路と、上記電圧発生回路の電圧を上記直列接続回路に供給することにより上記直列接続回路の両端でインピーダンスが可変する可変抵抗回路。

【効果】 小さな素子面積で大きな抵抗値を得る。

図 6



1

## 【特許請求の範囲】

【請求項1】電圧で制御される定電流源と、  
上記定電流回路の電流に比例した電圧を3端子素子の第1と第2の端子で発生する電圧発生回路と、  
MOSダイオードとして動作する3端子素子と、  
定電流動作する3端子素子を直列に接続してなる回路と、  
上記電圧発生回路の電圧を上記直列接続回路に供給することにより上記直列接続回路の両端でインピーダンスが可変する可変抵抗回路。

【請求項2】請求項1記載の抵抗回路において、上記直列接続回路として、

第1導電形MOSトランジスタ $Q_1$ 、 $Q_2$ のゲート同士を接続し、 $Q_1$ のドレインと $Q_2$ のソースを接続し、 $Q_1$ のソース、 $Q_2$ のドレインを抵抗体の2端子とし、上記 $Q_1$ 、 $Q_2$ のゲートに第2導電形MOSトランジスタ $Q_3$ のソースを接続し、上記 $Q_1$ のドレインと $Q_2$ のソースの接続点に上記電圧発生回路である $Q_3$ のゲートを接続し、上記 $Q_3$ のドレインをグラウンドとし、上記 $Q_3$ のソースには上記定電流源を接続し、上記定電流源に制御電圧を加えることにより、抵抗体用トランジスタ $Q_1$ 、 $Q_2$ のインピーダンスを可変にすることを特徴とする抵抗回路。

【請求項3】請求項1又は2記載の抵抗回路において、上記直列接続回路の一端にコンデンサを接続して形成したことを特徴とするフィルタ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、集積回路用の内部クロック信号を発生させる回路に関する。

## 【0002】

【従来の技術】近年、集積回路の高速化が進み、集積回路の動作の基となるクロック信号も年々、高周波数化してきており、今後とも一層高速化が進展する状況にある。デジタル集積回路の代表としてよく知られているマイクロプロセッサにおいては、その動作速度は年率1.3～1.4倍程度で伸びてきており、この伸び率は多少鈍るにしても今後ともこの傾向は続くと考えられる。現在、高速のマイクロプロセッサとして知られているものは、外部から12MHzのクロック信号を供給しており、上述した年率で動作速度が向上すれば、必要とされるクロック周波数は、5年後には44MHz～64MHzと非常に高い周波数となってしまう。つまり、今後更に集積回路の高速化を図るためには、上述したように非常に高い周波数のクロック信号を作り出す必要がある。

## 【0003】

【発明が解決しようとする課題】こういった高周波信号を従来のように水晶振動子を用いて内部の発振回路で発生させる場合には、外部ピンの大きな浮遊容量等を高速に駆動する能力を有する発振回路を構成しなければならない困難が伴う。同様に外部の回路で発生させたクロッ

2

ク信号を集積回路に供給する場合には、外部ピンの容量と布線の浮遊容量を高速に駆動しなければならない。とくに、集積回路を多数使用するような用途においては、低コストのシステムとするためにクロック発生回路を1つにして各集積回路へクロック信号を供給することが望ましいし、各集積回路を同期して動作させる場合には、クロック発生回路は1つに限定される。このように、1つのクロック発生回路から多数の集積回路へクロック信号を供給する場合には、各集積回路の外部ピンの浮遊容量と布線の浮遊容量が非常に大きなものとなり、高周波のクロック信号を安定して供給するのが困難となる。

## 【0004】

【課題を解決するための手段】本発明の目的は、上述の問題点を解決するために集積回路を加える外部クロック信号を低周波のまま、この信号を同期した高周波の内部のクロック信号を発生させることのできる回路を提供するものである。

【0005】また、外部から供給されるクロック信号の周波数は常に一定とは限らず、用途によって種々の周波数が加えられる可能性があり、本発明ではこういった場合にも適応可能な回路を提供するものである。

## 【0006】

【作用】本発明は、集積回路の内部クロック回路にフェーズ・ロック・ループ回路（以下PLL回路と略称する。）を有することにより、外部から供給されるクロック信号に同期した高周波の内部クロック信号を発生させることを可能とするものである。また、種々の周波数の外部クロック信号に応じて、PLL回路内部のフィルタの特定数を可変にすることにより、広範な外部クロック周波数での動作を可能とするものである。

## 【0007】

【実施例】以下、本発明を実施例に従って説明する。

【0008】図1(a)は、周波数倍周回路A(12)を内部に有する集積回路11の構成を示した図である。図1(b)は、図1(a)における信号の波形を示した概念図である。図1(a)において、集積回路11は、周波数倍周回路12とこの倍周回路によって得られた内部クロック信号Sによって動作する回路14を有している。上記倍周回路Aには、外部より基準クロック信号R(周波数 $f_1$ )が加えられるか、あるいは、集積回路11内に有する発振回路OSC(13)によって得られた基準クロック信号R'(周波数 $f_1$ )が加えられる。倍周回路Aは、これらの信号を受けて、これらの信号に同期した高周波(周波数 $n f_1$ ： $n$ は整数)の信号Sを発生させる。また倍周回路Aの入力、Nは倍周数 $n$ を設定するための外部入力である。本方式の回路を用いれば、内部回路Bで必要となる内部クロック信号の周波数が高い場合でも集積回路の外部ピンに加えられる信号の周波数を低くすることが可能となり、今後の集積回路の動作速度の向上に対しても容易に適応できる利点を有する。

3

【0009】図2の実施例は、図1に示した倍周回路Aを実現するための回路方式を示している。本回路方式はPLL回路としてよく知られた回路構成である。図2において、21は分周回路(CNTR1)、22は位相比較回路(PC)、23はチャージポンプ回路(CP)、24はローパスフィルタ(LPF)、25は電圧制御発振回路(VCO)、26は分周回路(CNTR2)である。分周回路に入力されている信号M、Nはそれぞれ分周数設定のための信号である。また分周回路CNTR1\*

$$f_s = \frac{N}{M} f_R$$

【0012】という周波数のVCO出力信号Sが得られる。ここで、 $N/M > 1$ という関係を満足するようなM、Nの値を設定すれば、VCOの出力信号の周波数を基準クロック信号の周波数より高くすることができる。同様に分周回路CNTR2の途中から取り出す信号S'

(周波数 $f_s/N'$ )も基準クロック信号より周波数を高くすることができる。これらの信号S、S'を内部クロック信号として用いることにより、図1で示した倍周回路を実現することが可能となる。

【0013】倍周回路として、本実施例のPLL回路を用いた場合の特徴について次下に述べる。

【0014】まず第1に、外部からの基準クロック信号と内部クロック信号の周波数比例を設定する上での自由度が大きいことである。このことは、集積回路の内部クロックの高周波化に対して、外部からの基準クロック周波数を変えずに、分周回路CNTR2の分周数Nの設定変更だけで対処することが可能になることを意味している。

【0015】第2の点は、PLL回路を用いた場合は、外部からの基準クロック信号と内部クロック信号の位相の同期を容易にとれることである。倍周回路として、PLL回路以外の回路も可能であるが、位相の同期をとることは容易ではない。

【0016】以上、倍周回路として図2に示す実施例を用いた場合の特徴を述べてきたが、問題点も有している。それは、基準クロック信号の周波数が決まれば、LPFの時定数を決定できるが、この基準クロック信号として、広範な周波数を用いて動作させたいというような用途の場合には、LPFの時定数を一義的に決定することができないことである。つまり、LPFの時定数は、PLL回路全体のダンピングファクタやロック・アップタイム等を定める要素となっているため、位相比較回路に入る周波数に応じて最適な値を選ぶ必要がある。このため、基準クロックの信号を周波数を広範に変えて用いる場合は、LPFの時定数もそれにに応じて変える必要がある。基準クロック信号の周波数を広範に設定したいという要求は、集積回路を製造する立場から言えば、集積回路のテスト時に速度を落して機能チェックを行う場合が多々ある。また、集積回路を使う立場から言えば、同

4

\*は用途に応じて段数を設定するが、不要な場合もある。

【0010】本実施例の回路において、安定状態では、外部からの基準クロック信号R(周波数 $f_r$ )の $1/M$ の周波数の信号 $R_M$ とVCOの出力信号S(周波数 $f_s$ )の $1/N$ の周波数の信号 $S_N$ が等しく、位相も同期している。したがって、

【0011】

【数1】

... (1)

じく集積回路中のマイクロ・プログラム等のソフトウェアチェックのために速度を落してテストする場合も多い。さらに、システムの都合上、任意の周波数の基準クロック信号を発生できず、低周波の基準クロック信号で使用する場合もよくある。

【0017】図2で示した実施例の場合でも、こういった種々の用途に対して部分的には適応可能である。

【0018】まず、第1の基準クロック信号の分周回路CNTR1の分周段数を多くしておき、広範な基準クロック信号に対して分周数Mの設定を変えることにより、位相比較回路PCに入る周波数を一定に保つ方法がある。しかしながら、この場合は、位相比較回路の入力信号周波数はあらかじめ低い周波数に設定しておかなければならないので、LPFの時定数を大きな値に設定しておかなければならない。集積回路においては、よく知られているように大きな時定数を得ることは、素子面積の増大をきたし、困難を伴う。さらに基準クロック信号の分周回路の段数を増加させることも回路面積の増大をきたし、好ましくない。

【0019】また、別の方法として、LPFの時定数を決める素子を外付けとして、使用周波数に応じてその素子を交換するか、あるいはLPFを電圧(電流)制御可変時定数回路を用いて外部から時定数を設定させることも可能である。しかしながら、この場合は素子を外付けするため、あるいは制御端子用に外部ピンを用意しておかなければならないので集積回路のピン数が増加してしまう。

【0020】このように、以上の方法では、使用周波数毎に設定を変えなければならないという制約が付きまとう。

【0021】図3は、上述の問題点も解決できる回路方式を示した実施例である。図3において、31は分周回路(CNTR1)、32は位相比較回路(PC)、33はチャージポンプ回路(CP)、34はローパスフィルタ(LPF)、35は電圧制御発振回路(VCO)、36は分周回路(CNTR2)、37は周波数-電圧変換回路(FVC)である。本回路方式において31~36は図2で示した実施例と同一の回路ブロックである。

【0022】本実施例では、図2の実施例で述べた問題

点を解決するために、周波数-電圧変換回路を有し、LPFを電圧(電流)制御可変時定数回路で構成する。本実施例の動作は、基準クロック信号を周波数-電圧変換回路に入力し、周波数を電圧に変換した信号電圧 $V_c$ を得て、これをLPFの電圧制御入力に加える。これにより、基準クロック信号の周波数に応じてLPFの時定数を最適な値に自動的に制御することが可能になる。

【0023】以上の本実施例の特徴について以下に述べる。本実施例は、図2で示した実施例の構成要件を全て有しているので、図2の実施例で述べた特徴はそのまま本実施例の特徴となる。さらに、図2の実施例で述べた問題点を解決でき、外付け部品が不要になる。基準クロック信号の分周数を設定するための外部ピン、あるいはLPFの時定数を制御するための外部ピンも不要になる。種々の基準クロック信号に対して全自動で適応可能になる、など大きな利点を有している。以上の事により、本実施例の回路方式を用いれば、集積回路のテスト時に動作速度を落して機能チェックを行うような用途、集積回路中のマイクロ・プログラム等のリフトウェアチェック時に速度を落して使用するような用途、あるいはシステムの都合により、高周波の基準信号が得られないような用途、などに対しても容易に適用可能となる利点を有している。

【0024】図4(a)は、図2、図3で示した実施例におけるVCO回路を実現する具体回路の実施例を示した図である。図4(b)は、従来のCMOSインバータによるリングオシレータの例である。

【0025】図4(a)において、41はLPFからの出力電圧を受けて電流に変換する電圧・電流変換回路、 $Q_{41}$ 、 $Q_{42}$ 、 $Q_{43}$ はカレントミラー回路を構成している。 $Q_{44}$ 、 $Q_{47}$ はこのカレントミラー回路からの電位を\*

$$f_s = \frac{1}{2n\tau} \propto \frac{V}{2nc} \quad \dots\dots (4)$$

【0031】となる。このように、図4(b)の回路では制御電圧 $V$ を変えることによって発振周波数 $f_s$ を $V$ に比例させて変化させることができる。

【0032】しかしながら、図4(b)に示したような従来例では、制御電圧 $V$ の変化はそのままリングオシレータ回路の理論振幅の変化となってしまう、リングオシレータ回路から出力を取り出して他の回路を駆動することが困難となる。

【0033】これに対して、図4(a)に示した本発明※

$$\tau = \frac{CV_{cc}}{I_0} \quad \dots\dots (5)$$

【0036】となる。ここで、 $V_{cc}$ は電源電圧である。したがって、このインバータを $n$ 段(奇数)接続したリングオシレータの発振周波数 $f_s$ は、

\*受けて、 $Q_{45}$ 、 $Q_{46}$ で構成されるCMOSインバータに流れる充放電電流を制御するためのトランジスタである。発振回路部は、 $Q_{45}$ 、 $Q_{46}$ のインバータと $Q_{44}$ 、 $Q_{47}$ のトランジスタが対になった回路を奇数段接続したリングオシレータで構成している。出力信号 $S$ (周波数 $f_s$ )は42の出力バッファを介して取り出す。

【0026】本実施例のVCO回路は、入力電圧を電圧・電流回路で受けて電流に変換し、この電流に比例した電流でインバータによるリングオシレータ回路の発振周波数を制御している。以下、本実施例の発振回路部の動作を従来例と対比させて説明する。

【0027】図4(b)は、CMOSインバータによるリングオシレータを用いた従来のVCO回路である。図4(b)において、インバータ1段当りの遅延時間 $\tau$ は

【0028】

$$[\text{数}2] \quad \tau = CV / I_0 \quad \dots\dots (2)$$

となる。ここで、 $C$ はインバータの出力端での容量値、 $V$ は制御電圧でインバータの電源電圧を与えている。 $I_0$ は、トランジスタのオン時のドレイン電流である。この $I_0$ はゲート電圧の2乗に比例し、ゲート電圧はCMOSでは接地電位から電源電圧 $V$ まで振れるので、 $I_0$ は結局、電源電圧 $V$ の2乗に比例する。したがって、遅延時間では、

【0029】

$$[\text{数}3] \quad \tau \propto C / V \quad \dots\dots (3)$$

となる。このインバータを $n$ 段(奇数)接続したリングオシレータでは、その発振周波数 $f_s$ は、

【0030】

【数4】

※の実施例の回路は、発振周波数を変えても論理振幅が変化することなく、最大論理振幅が得られるのが特徴である。

【0034】本実施例の発振回路部のインバータは、電源側と接地側に電流制御用のトランジスタを有しているので、出力端容量の充放量はこの電流値 $I_0$ で決まる。本実施例回路のインバータ1段当りの遅延時間 $\tau$ は、

【0035】

【数5】

【0037】

【数6】

7

8

$$f_s = \frac{1}{2\pi\tau} = \frac{1}{2\pi C V_{cc}} \dots\dots (6)$$

【0038】となる。このように、本実施例の回路は、制御電流  $I_0$  に比例させて発振周波数  $f_s$  を変化させることができる。また本発実施例の回路では、インバータの電源電圧を変化させないので、論理振幅は一定で、接地電位からの電源電圧  $V_{cc}$  までの最大振幅が常に得られる。

【0039】以上述べた他にも図2、図3のVCO回路として、のこぎり波発振回路やエミッタ結合発振回路（MOSの場合はソース結合発振回路）、IIL回路による各種の発振回路等を用いることができるのは言うまでもない。

【0040】次に、図2、図3で示した実施例におけるLPFを実現する具体回路の実施例を図5に示す。図5は従来から良く知られている受動素子（抵抗Rと容量C）によるLPFの例である。集積回路において、このような受動素子を用いたLPFを実現することは勿論可能であるので、図2、図3に示した実施例のLPFとして用いることができる。

【0041】しかしながら、集積回路において、時定数の大きなLPFを実現しようとする場合、その素子値、素子面積が大きくなり、実現が難しい。また、図2、図3で示したように制御電圧  $V_c$  によってLPFの時定数を可変としなければならない用途には用いることができない。

【0042】図6（a）に示す回路は、こういった従来回路の問題点を解決し、可変時定数のLPFの構成を可能とする電圧制御可変抵抗回路の実施例である。

【0043】図6（a）において、可変抵抗はトランジスタ  $Q_{61}$  と  $Q_{62}$  の直列回路で構成され、抵抗値を制御するための回路は  $Q_{61}$ 、 $Q_{62}$  と逆極性のトランジスタ  $Q_1$  と電圧制御定電流源  $I_1$  で構成されている。 $V_c$  は電圧制御定電流源  $I_1$  を制御するための入力電圧である。

【0044】以下に本実施例の動作を説明する。

【0045】まず、図6（a）の回路においてA点の電位  $V_A$  がB点  $V_B$  より高いとする。

【0046】入力電圧  $V_c$  が与えられて、制御電流  $I_1$  が決まるとトランジスタ  $Q_1$  に電流が流れ、 $Q_1$  のソース・ゲート間の電圧  $V_1$  が決まる。トランジスタ  $Q_1$  のソースおよびゲートは、トランジスタ  $Q_{61}$ 、 $Q_{62}$  のゲートおよび  $Q_{61}$  のドレイン（ $Q_{62}$  のソース）にそれぞれ接続されている。このため、トランジスタ  $Q_{61}$  のドレイン・ゲート間電圧および  $Q_{62}$  のゲート・ソース間電圧が電圧  $V_1$  に固定されることになる。

【0047】したがって、トランジスタ  $Q_{61}$  はゲート電圧がドレイン電圧より常に電圧  $V_1$  だけ高いMOSダイオードとして動作する。トランジスタ  $Q_{62}$  はゲート・ソース間の電圧が  $V_1$  に固定されるのでこの電圧で制限さ

れる電流が流れる定電流源に近い動作をする。この結果、トランジスタ  $Q_{61}$  のドレイン・ソース間のインピーダンスは低く、 $Q_{62}$  のそれは高くなり、 $Q_{61}$ 、 $Q_{62}$  を流れる電流  $I$  はトランジスタ  $Q_{62}$  のドレイン・ソース間電流で決められる。結局、本回路におけるA点からB点への電流は、電圧  $V_1$  によって可変とすることができるようになる。電圧  $V_1$  は、電流  $I_1$  で制御され、 $I_1$  は制御電圧  $V_c$  によって制御することができる。

【0048】以上の説明からもわかるように本実施例の回路においては、各トランジスタの特性を揃えることにより、制御電流  $I_1$  と  $Q_{61}$ 、 $Q_{62}$  に流れる電流  $I$  を比例して制御することが可能である。

【0049】しかも、本実施例の回路はトランジスタを用いて抵抗を構成しているのので、そのバイアス電圧を変えることにより、小さな素子面積でも大きな抵抗値を容易に実現できる利点がある。

【0050】以上の説明においては、A点の電位  $V_A$  がB点より高いとしたが、B点の電位  $V_B$  がA点より高い場合も、トランジスタ  $Q_{61}$ 、 $Q_{62}$  の接続が対称になっているので、B点からA点へ同様の電流が流れる。結局、本実施例の回路は、図6（b）に示すような電流電圧特性を示す。図6（b）において、縦軸  $I$  はトランジスタ  $Q_{61}$ 、 $Q_{62}$  に流れる電流（A点からB点へ流れる電流の向きを正とする。）、横軸はA点とB点の電位  $V_A$ 、 $V_B$  の差  $V$  である。また、図6（b）には制御電圧  $V_c$  を変えたときの3つのケースについての特性を示してある。

【0051】本実施例で示した電圧制御可変抵抗回路は、受動素子の抵抗と同じように、抵抗として用いる両端子間電圧が正負のどちらの値でも対称の特性を示すので種々の回路への応用が可能である。

【0052】以上の実施例では説明の都合上トランジスタの極性を限定したが、各トランジスタの極性を反転させて構成した場合も本発明に含まれることは言うまでもない。

【0053】図6（c）は、図6（a）の本実施例の回路を用いてLPFを構成した例である。図6（c）と図5を対比させてみるとわかるように、本実施例では、図5の抵抗Rの代りにトランジスタ  $Q_1$ 、 $Q_2$  を用いてLPFを構成している。

【0054】この他にも、本実施例で示した電圧制御可変抵抗を従来の受動素子である抵抗の代りに置き換えることが可能である。

【0055】図7（a）は、従来の遅れ進みLPFを受動素子で構成した例であり、（b）は（a）の回路の抵抗  $R_1$ 、 $R_2$  の代りに本実施例の電圧制御可変抵抗回路を用いた実施例を示している。

【0056】図7において、 $Q_{71}$ 、 $Q_{72}$ が抵抗 $R_1$ として、 $Q_{73}$ 、 $Q_{74}$ が抵抗 $R_2$ として動作する。それぞれの抵抗値は、 $I_{11}$ 、 $I_{12}$ の電流によって制御することが可能である。また、LPSに限らず、ハイパスフィルタ(HPF)に用いることができるのは容易に類推できる。

【0057】さらに、増幅器を利用した応用等では、増幅器の利得を電子的に制御したことがしばしばある。この種の電子的利得制御は、増幅器の信号処理能力あるいはダイナミックレンジを改善するのに特に有用であり、増幅器利得を自動利得制御(AGC)ループで制御することが多い。こういった場合にも本実施例の電圧制御可変抵抗回路は最適である。

【0058】なお、図2、図3で示した実施例のLPFにおける電圧制御可変抵抗回路として、他の回路を用いてもよいことは言うまでもない。

【0059】次に、図3で示した実施例における周波数電圧変換回路(FVC)を実現する具体回路の実施例を図8に示す。

【0060】図8(a)の回路は、大きく分けて、  
(1)基準クロック信号を分周し、電荷積分を行なう回路を制御するための信号を得る回路ブロック(81~89)、  
(2)上記信号を受けて、一定期間電荷積分を行なう回路(90~92、 $C_1$ )、  
(3)電荷積分の結果、得られた電圧をサンプル・ホールドする回路(93、 $C_2$ )、  
(4)サンプル・ホールドされた電圧(あるいは電圧を電流に変換)を出力するためのバッファ回路(94)から構成される。

【0061】図8(a)において、81は基準クロック\*  
 $E = R \cdot A \cdot B \cdot C \cdot D$

【0066】となる。

【0067】F信号は、電荷積分終了を与える信号で、論理式では、

$$F = R \cdot A \cdot \overline{B} \cdot C \cdot \overline{D}$$

【0069】となる。

【0070】G信号は、電荷積分結果の電圧をサンプル・ホールドするための信号で、論理式では、

$$G = R \cdot A \cdot B \cdot C \cdot \overline{D}$$

【0072】となる。

【0073】この電荷積分開始信号Fが、88、89からなるフリップ・フロップに入力されるとフリップ・フロップの出力HはLowレベルとなり、トランジスタ91がオン、92がオフとなる。したがって、定電流源90から電流 $I_0$ が流れ出し、容量 $C_1$ の充電を開始する。容量 $C_1$ の電圧値 $V_1$ は、時間とともに一定の傾きを持って直線的に上昇する。この電圧上昇の過程でサンプル・ホールド信号が入り、ゲート93を開いて容量 $C_2$ へ電圧を取り込んだ後、ゲート93を閉じて容量 $C_2$ の電圧を保ずる。

【0074】次に電荷積分終了信号Fを受けてフリップ

\*を分周する回路、82、85は電荷積分の開始信号を分周信号から合成する論理回路、83、86は電荷積分の終了信号を分周信号から合致する論理回路、84、87は電荷積分の結果の電圧を取り込むのに必要なサンプル・ホールド信号を分周信号から合成する論理回路である。88、89は電荷積分開始信号と終了信号を受けて積分回路のゲートの開閉を行うためのフリップフロップ回路、90は電荷積分の時間に対する電圧上昇の傾斜を決定するための定電流回路、91、92は電荷積分期間中休止期間中の電流通路の開閉を行うゲート、 $C_1$ は電荷を蓄積するための容量である。93、 $C_2$ はそれぞれ $C_2$ の電圧を取り込むためのゲートとその電圧を保持するための容量である。

【0062】以下に図8(a)の回路の動作を図8(b)の信号タイミングチャートを参照しながら説明する。

【0063】基準クロック信号R(周波数 $f_R$ )を受けて、n段(nは任意の値：ここでは説明の都合上4段としている。)の分周回路によって分周し、A、B、C、Dという4種の信号を得る。これらの信号の関係は図8(b)に示してある。これら基準クロック信号RとA、B、C、Dの信号を、図8(a)の82、83、84の論理回路に入力することにより、E、F、Gの信号が得られる。

【0064】ここでE信号は、電荷積分開始を与える信号で論理式では、

【0065】

【数7】

… (7)

※【0068】

【数8】

… (8)

★【0071】

【数9】

… (9)

・フロップが反転し、91をオフ、92をオン状態にする。このとき92がオン状態になるので容量 $C_1$ の電荷は $C_1$ を介して放電し、電圧 $V_1$ は0となる。この状態は、次の電荷積分開始信号が来るまで維持される。

【0075】本実施例では、容量 $C_1$ の電圧 $V_1$ をサンプル・ホールドする時間的な位置は周波数に逆比例して変化するため、周波数・電圧変換が可能となる。こまり、基準クロック信号の周波数を $f_R$ とし、積分開始時点の時刻を0とすると、サンプル・ホールドを行う時刻Tは

【0076】

【数10】



$$T = \frac{2^n}{2 f_R} = \frac{2^{n-1}}{f_R} \quad \dots (10)$$

【0077】となる。ここでnは分周回路の段数であり、図8の例ではn=4である。

\* 【0079】  
【数11】

【0078】一方、電荷積分回路の電圧V<sub>A</sub>は

\*

$$V_A = \frac{I_0}{C_1} t \quad \dots (11)$$

【0080】であるから、時刻Tでの電圧V<sub>A</sub>は  
【0081】

10※ 【数12】

※

$$V_A |_{t=T} = \frac{I_0}{C_1} T = \frac{I_0}{C_1} \cdot \frac{2^{n-1}}{f_R} \quad \dots (12)$$

【0082】となる。この電圧値V<sub>A</sub> |<sub>t=T</sub>がサンプル・ホールドされるわけであるから、サンプル・ホールドされる電圧値は基準クロック信号Rの周波数f<sub>R</sub>に逆比例することにある。

【0083】このようにして、本実施例の回路は周波数・電圧変換を行なうことができる。この変換された電圧を可変時定数L P Fに加えることによって、基準クロック信号の周波数に応じてL P Fの時定数を自動的に可変にすることが可能である。

20

【0084】以上の説明においては、図2、図3で示した実施例の位相比較回路、チャージポンプ回路、分周回路については何も触れなかったが、これらの回路は、従来から良く知られている回路を用いて構成できることは言までもない。

【0085】

【発明の効果】以上説明してきたように本発明によれば、集積回路に外部から与えられ基準クロック信号の周波数を高くすることなく、（例えば高々10MHz程度）内部のクロック信号の周波数を高くすることができるので、（例えば数10MHz～100MHz）今後の集積回路の高速化に対する適応が容易になるという大きな効果がある。また、このことは集積回路を利用する側にとっては、高周波の信号を扱う必要がないため、集積回路と一緒に用いる各種部品のコストを下げられるという経済上の大きな利点を有している。

【0086】さらに、本発明によれば、内部のクロック信号の周波数とは異なった各種の周波数の外部基準クロック信号の周波数を内部の分周回路の分周数の設定を変えるだけで選ぶことができることになるので、システム設計者によって多種多様なシステムへの応用が容易になるという利点を有している。

【0087】この他に、本発明によれば、集積回路の内部クロック信号として外部基準クロック信号に同期された信号を得ることができるので、本発明の集積回路を多数用いる場合に集積回路間の信号伝達の同期を容易にすることができるといふ利点を有している。

【0088】また、本発明を用いれば、外部から与えられる基準クロック信号の周波数を任意に変えても、内部の倍周回路に必要な時定数を自動的に変化させて適応可能となる利点を有している。しかもこの時定数回路は、集積回路中にオンチップで容易に構成できるので外部のピン数低減、あるいは外付部品点数の低減の上で大きな効果がある。集積回路内部の時定数を自動的に可変にできるということは、集積回路のテスト時に動作速度を落して用いるような用途、集積回路中のマイクロ・プログラム等のソフトウェアのチェック時に速度を落して使用するような用途、あるいは高周波の基準クロック信号が得られずやむなく動作速度を落して用いるような用途等に対してもシステムに何ら変更を加えずに用いることができるという大きな効果を有している。

【図面の簡単な説明】

【図1】本発明の概略的説明を行うための実施例。

【図2】第1の実施例の回路ブロック図。

【図3】第2の実施例の回路ブロック図。

【図4】第1、第2の実施例の部分回路の実施例。

【図5】従来例。

【図6】第1、第2の実施例の部分回路の実施例。

【図7】（a）は従来例、（b）は第1、第2の実施例の部分回路図。

【図8】第1、第2の実施例の部分回路図。

【符号の説明】

11…集積回路、12…倍周回路、13…発振回路、15…水晶振動子、16…容量、21、26…分周回路、22…位相比較回路、23…チャージポンプ回路、24…L P F、25…V C O、31、36…分周回路、32…位相比較回路、33…チャージポンプ回路、34…L P F、35…V C O、37…周波数・電圧変換回路、41…電圧・電流変換回路、42…出力バッファ、Q<sub>41</sub>、Q<sub>42</sub>、Q<sub>44</sub>、Q<sub>45</sub>、Q<sub>48</sub>…P M O S トランジスタ、Q<sub>43</sub>、Q<sub>46</sub>、Q<sub>47</sub>、Q<sub>49</sub>…N M O S トランジスタ、R…抵抗、C…容量、I<sub>1</sub>…定電流源、Q<sub>1</sub>…P M O S ラトンジスタ、Q<sub>61</sub>、Q<sub>62</sub>…N M O S トランジスタ、R<sub>1</sub>、R<sub>2</sub>…



13

14

抵抗、 $I_{11}$ 、 $I_{12}$ …定電流源、 $Q_{11}$ 、 $Q_{12}$ …PMOSトランジスタ、 $Q_{71}$ … $Q_{74}$ …NMOSトランジスタ、81…分周回路、82～87…論理ゲート、88、89…フリップ・フロップ回路、90…定電流源、91…PMO

Sトランジスタ、92…NMOSトランジスタ、93…トランスファゲート、94…バッファ回路、 $C_1$ 、 $C_2$ …容量。

【図1】

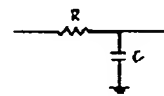
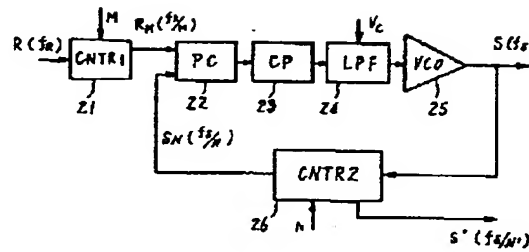
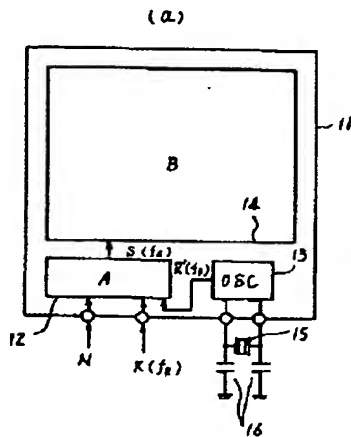
【図2】

【図5】

図1

図2

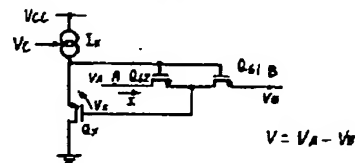
図5



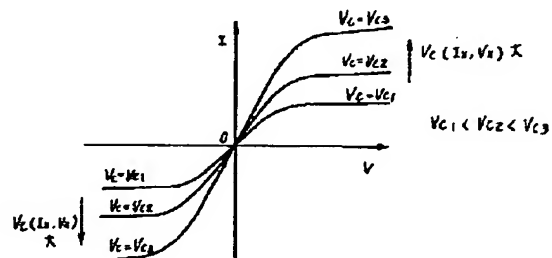
【図6】

図6

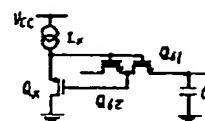
(a)



(b)

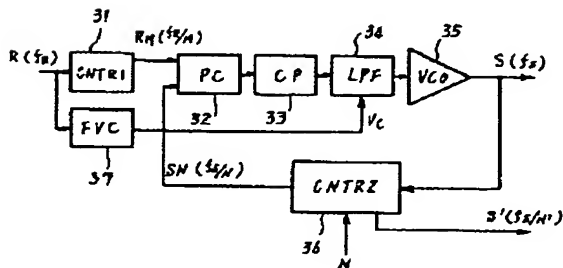


(c)



【図3】

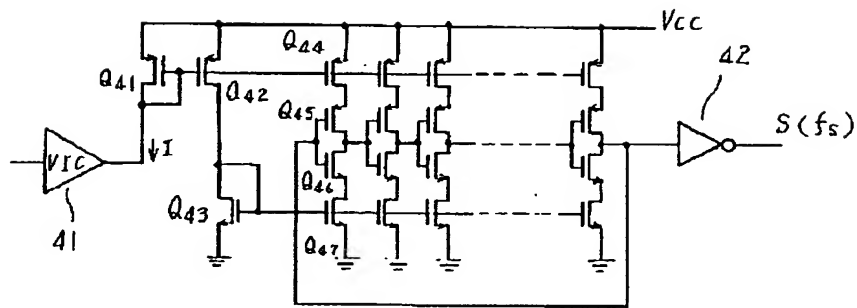
図3



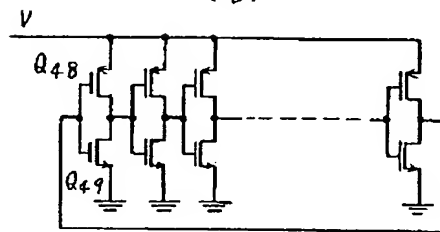
【図4】

図 4

(a)



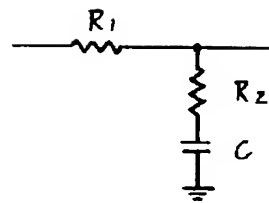
(b)



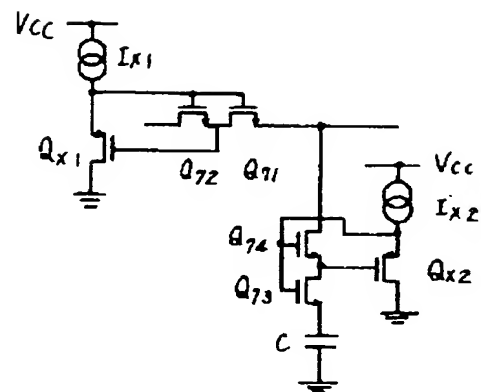
【図7】

図 7

(a)



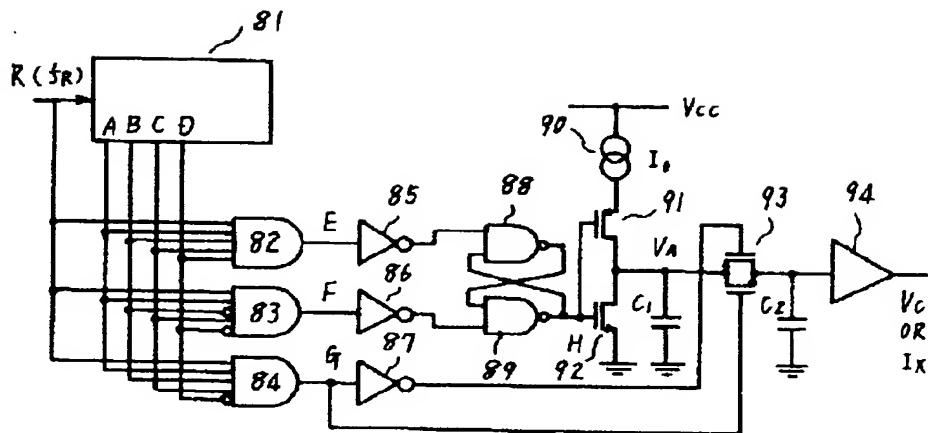
(b)



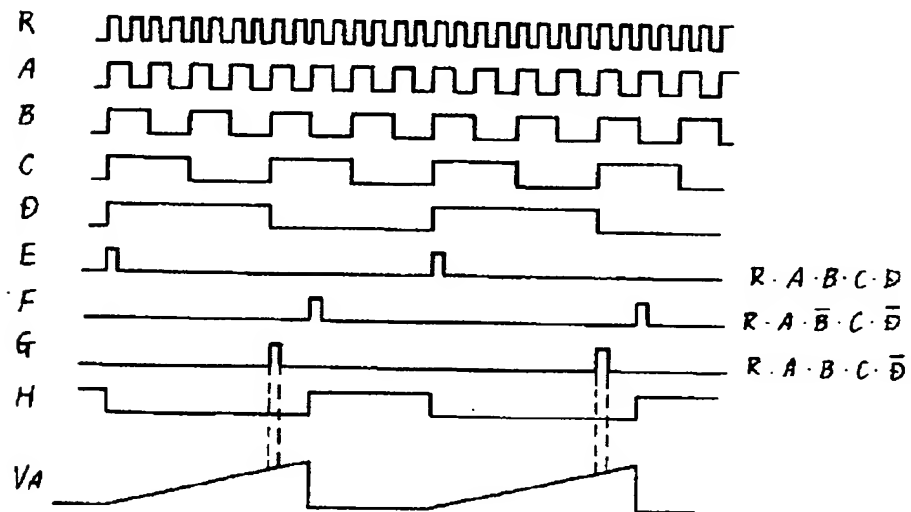
【図8】

図 8

(a.)



(b.)



フロントページの続き

(72)発明者 萩原 吉宗  
 東京都国分寺市東恋ヶ窪1丁目280番地  
 株式会社日立製作所中央研究所内